

**СПОСОБИ ВИКОРИСТАННЯ ВНУТРІШНІХ РЕСУРСІВ FPGA І PROASIC ДЛЯ ПІДВИЩЕННЯ НАДІЙНОСТІ ВБУДОВАНОГО МОДУЛЯ АРБІТРАЖУ****С. С. Грушко, І. Я. Зеленьова, А. В. Тіменко, Т. В. Голуб***Національний університет «Запорізька політехніка»*

**Анотація.** Розглянуто способи вирішення актуальної науково-практичної задачі підвищення показників надійності бортового цифрового обчислювального комплексу, реалізованого з використанням мікросхем програмованої логіки. Зокрема, розглянуто схема блоку управління конфігурацією в складі підсистеми арбітражу. Запропоновано модель суміщеного мікропрограмного автомата (СМПА) для реалізації блоку управління. Досліджено способи імплементації СМПА в мікросхемах FPGA і ProASIC, з урахуванням особливостей їх внутрішньої архітектури. Показано, що використання блоків вбудованої пам'яті при імплементації СМПА дозволяє в цілому більш ефективно використовувати ресурси кристала.

**Ключові слова:** суміщений мікропрограмний автомат, граф-схема алгоритму, FPGA, ProASIC, блоки вбудованої пам'яті, бортовий цифровий обчислювальний комплекс.

**Вступ**

Розробка вбудованих комп'ютерних систем нерозривно пов'язана з розвитком елементної бази. Від ефективності використання апаратних засобів залежить швидкість реалізації алгоритмів, продуктивність обробки даних, а також надійність, що особливо стосується вбудованих систем для космічної та авіаційної галузі. Зокрема, в даній роботі розглядається актуальна проблема поліпшення показників надійності підсистеми арбітражу блока керування конфігурацією (БКК), який входить до складу бортового цифрового обчислювального комплексу (БЦОК). Структура цього комплексу повинна відповідати вимогам не тільки високої продуктивності, а й забезпечення підвищених характеристик надійності, тому застосовується резервування основних модулів.

Блок керування конфігурацією призначений виконувати функції контролю та координації при перемиканні резервованих модулів, які входять до складу БЦОК, таких як модулі бортового комп'ютера, масової пам'яті, телеметрії, комутації і розподілу живлення.

В останнє десятиліття чітко відстежується тенденція щодо збільшення кількості вбудованих засобів телеметрії та контролю, які реалізовані на програмованих логічних інтегральних схемах (ПЛІС). Це зумовлено постійним розвитком технологій, що забезпечують високий ступінь інтеграції, а також властивостями ПЛІС, зокрема

FPGA, які забезпечують бажану гнучкість як при створенні, так і при застосуванні пристроїв на віддалених об'єктах, а саме – можливість коригування певних параметрів пристрою під специфіку конкретної задачі (кількість входів від датчиків, кількість виходів, бажаний коефіцієнт надійності та інше). Альтернативою FPGA при створенні засобів телеметрії та контролю є базові матричні кристали, що потребують заводського виробничого процесу для програмування, а також ASIC (application - specific integrated circuit) – спеціалізовані замовні інтегральні схеми, які є високоефективними для вирішення конкретної задачі, але істотно дорожчими при дрібносерійному та одиничному виробництві.

В той же час для невеликих обсягів випуску, дослідних зразків чи тестових партій вбудованих систем та пристроїв, що можуть змінювати свою конфігурацію під час роботи, дешевше використовувати FPGA [1, 2, 3]. Не стала винятком і космічна галузь: через необхідність зменшення собівартості виробництва модулів для космічних апаратів, дедалі частіше використовують ПЛІС FPGA для систем передачі та шифрування даних між супутником та центром керування польотами, чи як систему керування конфігурацією самого космічного апарату. Згодом компромісним рішенням, збалансованим за критерієм «ціна-якість», стало використання мікросхем типу ProASIC, зокрема виробництва фірми Actel/Microsemi [3], яким притаманна логічна гнучкість FPGA та підвищена продуктивність ASIC. Такі ProASIC здатні забезпечити не тільки високу продуктивність обробки інформації, але й високий технологічний ступінь надійності та

захищеності мікросхеми від випромінювання, зміни температур та інших шкідливих проявів середовища.

Підтримка високої надійності та довготривалого ресурсу працездатності бортових систем життєво необхідна через відсутність можливості заміни внутрішніх компонентів системи. Через це є необхідність у резервуванні основних компонентів: бортової системи контролю конфігурації, масової пам'яті, бортового комп'ютера, тощо. Для цього в структурі БЦОК, а саме в блоці керування конфігурацією, створюють підсистеми арбітражу. Така підсистема опитує кожний внутрішній блок космічного апарату і в разі необхідності перемикає на зарезервованій. Фактично в такій підсистемі використовується сукупність вхідних та вихідних сигналів, пристрій аналізує сигнали на вході та в залежності від цих сигналів приймає рішення та дає сигнал на перемикання на резервний пристрій. Таку систему зручно розробляти на кінцевих цифрових автоматах.

Дана робота виконана на підставі наукового співробітництва з науково-виробничим підприємством «Хартрон-Юком» і присвячена пошуку шляхів вирішення задачі підвищення надійності функціонування бортової системи БЦОК способом застосування моделі суміщеного мікропрограмного автомата в якості пристрою керування, а також за рахунок використання вбудованих блоків пам'яті мікросхем програмованої логіки FPGA та ASIC, зважаючи на деякі спільні властивості їх структури.

### **1. Аналіз технічних умов та постановка завдання**

Згідно з документацією на БЦОК, основним структурним методом підвищення надійності є резервування апаратури. На практиці застосовуються три основні методи структурного резервування: мажоритація, заміщення, змішана структура резервування.

Для забезпечення вимог надійності та безпечної роботи бортового цифрового обчислювального комплексу обрана змішана структура резервування, яка включає: два однакових комплекти блоку конфігурації, що дозволяють виконувати роботу з «холодним» / «гарячим» резервом; три мажоритованих канали арбітра (блок керування конфігурацією - БКК); дубльований блок комутації і розподілу живлення з холодним резервом, два канали блоку телеметрії, що працюють за схемою з холодним резервом, а також два канали блоку масової пам'яті, що працюють за схемою з холодним резервом.

У чинному каналі блоку конфігурації формується кілька сигналів, що надходять для контролю в схему арбітра БКК. Завдання схеми арбітра - оцінити якість цих сигналів і прийняти рішення.

Алгоритм включення, тестування та підготовки до роботи каналу резерву основного обладнання наступний:

- арбітр формує імпульс включення в схему джерела живлення каналу процесора. Якщо коли-небудь з джерела живлення надійде сигнал перевищення режимів навантаження, то арбітр сформує команду відключення джерела живлення процесора;

- через певний час, після включення процесора, арбітр перевіряє наявність сигналу про норму тестування процесора. Якщо сигнал відсутній, арбітр сформує імпульс виключення живлення процесора;

- якщо сигнал «Норма процесора» є, то арбітр формує сигнал «Дозвіл завантаження програм користувача». Після цього сигналу процесор починає тестування обладнання зовнішніх пристроїв, що не перевірялося відразу після включення;

- по завершенні тесту зовнішніх пристроїв, процесор передає арбітру ознаку завершення тесту зовнішніх пристроїв і переходить до виконання основних алгоритмів роботи користувача.

В даному випадку арбітр фізично входить до складу блоку керування конфігурацією. Цифрова частина БКК має структуру, де «ядро» арбітра – це системний автомат, таймер пауз і лічильник станів системи, побудовані за класичними схемами автоматів Мура та Мілі. Також до складу входять виконавчі схеми арбітра – автомат управління процесом видачі імпульсів включення і комутатор (мультиплексор).

Одним із шляхів підвищення надійності БКК є використання елементної бази високого рівня інтеграції, що дозволяє розмістити всю логічну схему БКК на одній мікросхемі, замість декількох, що наразі сприяє поліпшенню показників надійності [1, 2, 3, 19, 20]. У зв'язку з цим оптимізація фізичної реалізації алгоритму БКК на мікросхемах програмованої логіки є актуальним завданням, рішення якого дозволить скоротити кількість та розмір необхідних мікросхем.

### **2. Огляд способів реалізації цифрових автоматів на мікросхемах програмованої логіки**

Останніми роками FPGA, ProASIC та ASIC отримали широке використання для вбудованих та бортових систем. Зупинимось на перших двох типах з фінансових міркувань. Більшість сучас-

них FPGA включають три типи логічних блоків, які можна використовувати для реалізації схем цифрових автоматів [4, 5, 6, 7, 8]. Це логічні елементи, вбудовані блоки пам'яті, програмовані між'єднання [20, 21, 23, 24]. Аналогічні структурні блоки входять до архітектур ProASIC. За цих обставин можливо теоретично розглядати обидва типи мікросхем. Далі розглянемо методи, які стосуються FPGA, з урахуванням можливості аналогічних підходів також до ProASIC.

Логічні елементи включають таблицю пошуку (LUT), програмований тригер (FF) та програмовані мультиплектори. LUT – блок оперативної пам'яті з кількістю входів  $S_L$  та одним виходом. LUT може реалізовувати довільну булеву функцію залежно від логічних аргументів кількості  $S_L$  [8, 9, 10, 16, 25].

Крім того, мікросхеми FPGA можуть містити так звані жорсткі блоки, які покращують щільність, продуктивність та енергоспоживання. Можуть бути реалізовані різні типи жорстких блоків, такі як множники, суматори, пристрої пам'яті, блоки з рухомою комою, блоки DSP тощо [11, 18, 22]. Ці та інші функції роблять FPGA привабливою базою для реалізації проектів космічних програм.

Завдяки регулярній структурі FPGA, що складається з одних і тих же логічних блоків, стало можливим ще на етапі розробки логічної схеми застосування певних теоретичних методів, спрямованих на зменшення області кристала, займаної проектом.

При проектуванні складних цифрових пристроїв часто виникає ситуація, коли частина сигналів пристрою управління, таких як передача з одного регістра в інший, інкремент/декремент лічильників і т.п., по тривалості збігається з вхідним сигналом, що тактується синхроімпульсом, тоді як, наприклад, сигнали подачі на комбінаційний суматор або дешифратор пам'яті зазвичай значно довші і визначаються часом спрацювання суматора і дешифратора. Ці сигнали зручно ототожнювати зі станом [11, 17]. Аналогічна ситуація щодо різної тривалості сигналів стосується і складної структури БЦОК, враховуючи і резервування [12].

Застосування моделі автомата Мілі, яка відображає стан входу пристрою керування  $X$  у стан виходу  $Y$  без затримки, приводить до прискорення функціонування системи, що складається з пристрою управління і операційної частини. Однак, через те, що деякі операційні пристрої на певних етапах функціонування реагують на вплив пристрою управління із затримкою, то для подання їх моделлю автомата Мілі необхідно введення в автомат додаткових внутрішніх ста-

нів, що веде до ускладнення графу автомата [13].

Таким чином, при аналізі роботи схеми блока керування конфігурацією, міркування практичного характеру призводять до доцільності розгляду такої моделі пристрою керування, як суміщений мікропрограми автомат (СМПА) [10, 14, 15].

СМПА подається у вигляді пристрою з одним входом, на який надходять вхідні сигнали  $X$ , і двома виходами, один з яких реалізує функцію виходу  $Y^1$ , характерну для автомата Мілі, а інший – функцію виходу  $Y^2$ , характерну для автомата Мура [14].

Вихідний сигнал  $Y^2 = \lambda_2(a_m)$  видається весь час, поки автомат знаходиться в стані  $a_m$ , вихідний сигнал  $Y^1 = \lambda_1(a_m, X)$  видається під час дії вхідного сигналу  $x_1$  при знаходженні автомата в стані  $a_m$ . Функція  $\lambda_1$  визначає вихідні змінні  $y_n \in Y^1$ , функція  $\lambda_2$  визначає вихідні змінні  $y_n \in Y^2$  [11, 14].

Таким чином, на підставі аналізу умов функціонування БКК можна зробити висновок, що комплексне використання моделі СМПА і архітектурних особливостей мікросхем FPGA та ProASIC може бути використано при реалізації підсистеми арбітражу БКК БЦОК для зменшення апаратних витрат, здешевлення системи і підвищення її надійності. Далі необхідно провести дослідження цієї гіпотези.

### 3. Метод та результати експериментальних досліджень

В даних експериментальних дослідженнях використаний граф алгоритму функціонування системи арбітражу у складі блока керування конфігурацією БЦОК, наданий у відповідній технічній документації.

Процес синтезу логічної схеми суміщеного мікропрограми автомата складається з наступних етапів [14]:

- розмітка граф-схеми алгоритму станами автомата Мілі та автомата Мура;
- визначення необхідної кількості тригерів;
- побудова таблиці переходів суміщеного автомата;
- формування функцій переходів та вихідних сигналів.

При розмітці станів суміщеного автомата на граф-схемі автомата (ГСА) враховується, що частина сигналів Мілі ( $Y$ ,  $P$ ) залежать від вхідних сигналів та станів, а Мура ( $W$ ) – від станів автомата. Стани розмічаються за принципом моделі Мура. На рис. 1 зображено фрагмент ГСА із розміткою станів суміщеного автомата.

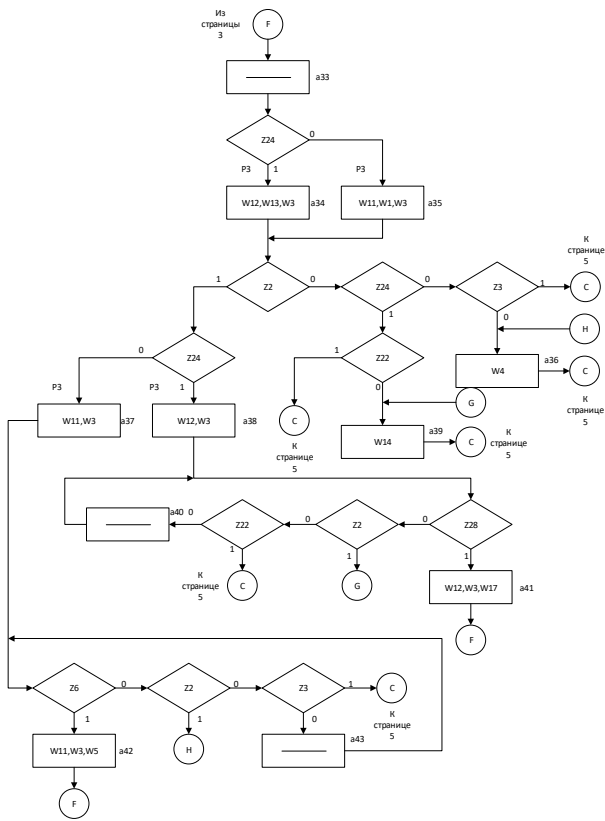


Рис. 1. Фрагмент граф-схеми досліджуваного алгоритму

Для синтезу формул збудження пам'яті, а також вихідних сигналів пристрою, формується таблиця переходів на основі розміченої ГСА суміщеного мікропрограмного автомата.

На основі таблиці переходів записуються формули збудження ( $D_i$ ) та вихідних сигналів. Сигнали збудження  $D_h$  залежать від стану автомата  $a_m$  та від вхідних сигналів  $X$ . Для кожного розряду формується своя формула збудження.

Вихідні сигнали Мура  $Y^2$  залежать від стану автомата  $a_m$  та не залежать від вхідних сигналів  $X$ . Для кожного сигналу Мура формується своя формула.

Сигнали Мілі  $Y^1$  залежать від стану автомата  $a_m$  та від вхідних сигналів  $X$ . Кожен сигнал Мілі також записується окремим рівнянням.

Для зменшення кількості апаратних ресурсів, необхідних для реалізації підсистеми арбітражу на мікросхемах FPGA в даній роботі пропонуються для використання два способи реалізації проекту. В першому (рис. 2) всі системи рівнянь реалізуються із використанням розподілених апаратних ресурсів кристала, тобто тільки LUT. В другому способі (рис. 3) задіяна швидкодіюча вбудована пам'ять EMB, використання якої дозволяє систему рівнянь автомата Мілі розмістити на розподілених

ресурсах LUT, а систему рівнянь автомата Мура задати таблично та імплементувати у блоках внутрішньої пам'яті кристала EMB.

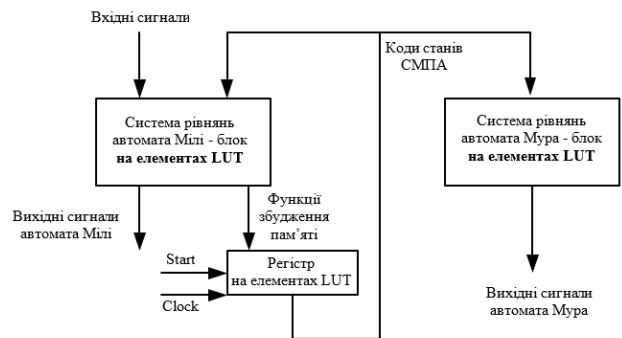


Рис. 2. Розподіл внутрішніх ресурсів FPGA по структурних блоках підсистеми арбітражу – спосіб із використанням тільки LUT

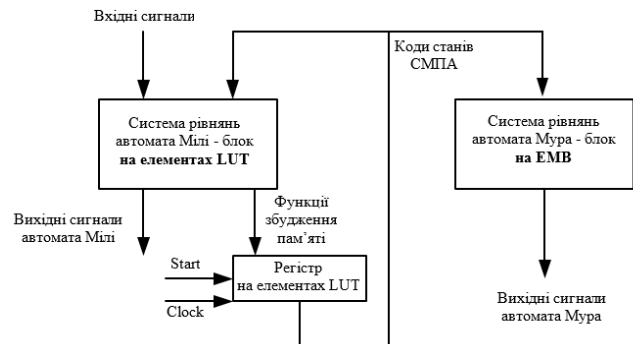


Рис. 3. Розподіл внутрішніх ресурсів FPGA по структурних блоках підсистеми арбітражу – спосіб із використанням LUT та EMB

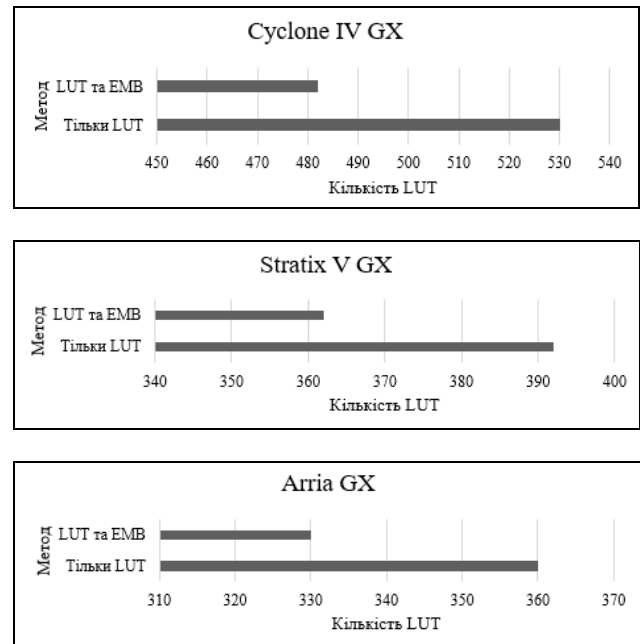


Рис. 4. Масштабована порівняльна характеристика кількості задіяних LUT для мікросхем Altera/Intel сімейств Cyclone IV GX, Stratix V GX та Aria GX

В даній роботі, з використанням пакету Quartus II [1], було проведено дослідження задіяних для реалізації схеми підсистеми арбітражу апаратних ресурсів FPGA Altera/Intel сімейств Cyclone IV GX, Stratix V GX та Aria GX [1]. Звіт про використані ресурси при імplementації схеми арбітражу поданий у табл. 1, 2.

Порівняльна характеристика кількості задіяних апаратних ресурсів подана на рис. 4.

Таблиця 1

Ресурси FPGA, використані при реалізації підсистеми арбітражу на розподілених ресурсах

	Cyclone IV GX	Stratix V GX	Aria GX
Macrocell	-	-	-
LUT	265	-	-
ALUT	-	196	180
RG	6	6	6
Memory	-	6	-

Таблиця 2

Ресурси FPGA, використані при реалізації частини вихідних сигналів на розподілених ресурсах, а іншої частини – на блоках вбудованої пам'яті

	Cyclone IV GX	Stratix V GX	Aria GX
Macrocell	-	-	-
LUT	241	-	249
ALUT	-	181	165
RG	6	6	6
Memory bits	1593	1593	1593
Memory block	1	1	1

### Обговорення

Проаналізувавши результати досліджень можна зробити такі висновки:

1. Запропонована структура з використанням блоків вбудованої пам'яті (рис. 3) дозволяє скоротити використання розподілених ресурсів мікросхем при реалізації схеми арбітражу БКК БЦОК в середньому на 8%.

2. Використання запропонованої структури показало найбільший ефект для мікросхеми сімейства Cyclone IV GX – 9%, а менший – для мікросхем сімейства Stratix V GX. Для них економія розподілених ресурсів, а отже і площі, що займає схема на кристалі, склала 7,7 %.

Різниця між значеннями скорочення ресурсів, що використовуються, залежить від внутрішньої структури конкретної мікросхеми, але є суттєвою. В даному випадку вона складає 1,3%. Таким чином, можна казати про доведену ефек-

тивність використання запропонованого підходу для мінімізації використання розподілених ресурсів схеми.

### Заключення

Основною метою даної роботи було дослідження підходу до оптимізації фізичної реалізації алгоритму керування на мікросхемах програмованої логіки, що дозволило б скоротити кількість та розмір необхідних мікросхем.

Було запропоновано декілька рішень. Перше – використання структури суміщеного мікропрограмного автомата, що дозволить стабілізувати характеристики БКК без значної втрати швидкості роботи і, завдяки присутності функцій двох видів (які залежать від вхідного значення у даний момент часу, і які не залежать), відкрити шлях до використання двох видів ресурсів (LUT і EMB).

По-друге, запропоновано структуру автомата керування, що дозволяє використання обох типів ресурсів.

Проведені дослідження показали ефективність такого підходу. Так, для схеми арбітражу БКК БЦОК економія розподілених ресурсів склала від 7,7 до 9% в залежності від серії мікросхем, що використовувались.

Таке зменшення використовуваних ресурсів дозволяє, в залежності від технічного завдання, використати меншу мікросхему, розмістити декілька схем на одній мікросхемі або виконати резервування.

Слід зробити наголос на тому, що такий підхід буде ефективним тільки в разі наявності в мікросхемі незадіяних блоків вбудованої пам'яті.

В роботі показано, що використання блоків вбудованої пам'яті при імplementації СМПА дозволяє в цілому більш ефективно використовувати ресурси кристала. Це дає можливість реалізувати кілька пристроїв або функціональних блоків на одному кристалі, і таким чином поліпшити показники надійності всієї системи за рахунок зменшення кількості використовуваних мікросхем і зв'язків між ними. Це особливо стосується проектів, які виконуються на дорогих мікросхемах ProASIC з високим ступенем радіаційного захисту, в чому саме й полягає науково-практична цінність даних досліджень.

Перспективні напрямки досліджень пов'язані із застосуванням схем СМПА на лічильниках для певних типів алгоритмів, а також з використанням вільних тригерів в розподілених ресурсах для організації лічильників. Це дозволить надалі розвивати тему ефективного використання ресурсів мікросхем програмованої логіки.

## Список використаної літератури

1. Intel documentation. [Electronic Resource]. – Access Mode [www.intel.com/content/www/us/en/products/programmable.html](http://www.intel.com/content/www/us/en/products/programmable.html)
2. Xilinx documentation. [Electronic Resource]. – Access Mode [www.xilinx.com/](http://www.xilinx.com/)
3. Microsemi documentation. [Electronic Resource]. – Access Mode <https://www.microsemi.com/product-directory/1636-fpga-soc>
4. Altera documentation. [Electronic Resource]. – Access Mode [www.altera.com/support/literature/lit-index.html](http://www.altera.com/support/literature/lit-index.html)
5. Churiwala, S. Designing with Xilinx® FPGAs. Using Vivado [Text] / S. Churiwala. – Berlin, 2017. – 260 p.
6. Bostock, G. Programmable Logic Handbook [Text] / G. Bostock. - London, 2000. - 244 p.
7. Jason Cong Technology mapping for FPGAs with embedded memory blocks [Text]. Proceeding FPGA '98 Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays. Monterey, California, USA. February 22–25, 1998. pp. 179–188.
8. Sklyarov, V. Synthesis and Optimization of FPGA – based Systems [Text] / Berlin, 2014. 432 p.
9. Barkalov, A. Logic Synthesis for FPGA–based Finite State Machines [Text]. New York, 2016. 280 p.
10. Hrushko, S. S. Implementing combined FSM with heterogeneous FPGA [Text] / S. S. Hrushko // Proceedings of 14th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET). Lviv–Slavske, Ukraine, February 20 – 24, 2018. – 270 papers.
11. Baranov, S. Logic and System Desing of Digital Systems [Text] / S. Baranov. - Tallinn, 2008. – 267 p.
12. Ефименко, Н. В. Оптимизация схемы блока управления конфигурацией бортового цифрового вычислительного комплекса системы управления КА в базисе FPGA [Текст] / Н. В. Ефименко, И. Я. Зеленева, С. С. Грушко, Д. В. Лукаш // Тези доповідей VIII Міжнародної науково–практичної конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», ЗНТУ, 21–23 вересня 2016 р., м. Запоріжжя, С.137–138.
13. Barkalov, A. Logic Synthesis for FSM–Based Control Units [Text] / A. Barkalov, L. Titarenko – Springer. – Berlin Verlag Heidelberg, Lectures Notes in Electrical Engineering, 2009, №53. – 233 pp.
14. Баркалов, А. А. Реализация совмещенного микропрограммного автомата в базисе FPGA [Текст] / А. А. Баркалов, Л. А. Титаренко, И. Я. Зеленева // Наукові праці Донецького національного технічного університету. Серія: Інформатика, кібернетика та обчислювальна техніка. – 2015. – Вип. 2. – С. 84–88.
15. Баркалов, А. А. Уменьшение аппаратурных затрат в совмещенных автоматах [Текст] / А. А. Баркалов, Л. А. Титаренко, Я. Е. Визор, А. В. Матвиенко // Управляющие системы и машины. – 2017. – № 4. – С. 43–50.
16. Sklyarov, V. Synthesis and Optimization of FPGA-Based Systems [Text] / V. Sklyarov, I. Sklyarova, A. Barkalov, L. Titarenko. – Springer International Publishing, 2014. – 432 p. doi: 10.1007/978-3-319-04708-9
17. Micheli, G. Synthesis and Optimization of Digital Circuits [Text] / G. Micheli. – New York: Mc Graw-Hill, 1994. – 636 p.
18. Sunggu, Lee Advanced Digital Logic Design Using VHDL, State Machines, and Synthesis for FPGA's [Text] / Lee Sunggu. - Thomson-Engineering, 2005. – 488 pp.
19. Castet, J.-F. “Satellite Reliability: Statistical Data Analysis and Modeling” [Text] / J. F. Castet, J. H. Saleh // Journal of Spacecraft and Rockets, vol. 46, no. 5, 2009.
20. Adamski, M. A. Design embedded control [Text] / M. A. Adamski, New York: Springer, 2005.
21. Maxfield, C. The Design Warrior’s Guide to FPGAs [Text] / C. Maxfield, 2004.
22. Barkalov, A. Logic Synthesis for FPGA-based Finite State Machines, Studies in Systems, Decision and Control [Text] / A. Barkalov, L. Titarenko, M. Kolopienczyk, K. Mielcarek, G. Bazydlo, New York: Springer, 2016.
23. Kołopieńczyk, M. “Design of EMB-based Moore FSMs Journal of Circuits” [Text] / M. Kołopieńczyk, L. Titarenko, A. Barkalov // Systems and Computers, vol. 26, no. 07, pp. 17–25, 2017.
24. Farooq, U. Tree-based Heterogeneous FPGA Architectures: Application Specific Exploration and Optimization [Text] / U. Farooq, New York: Springer, 2012

25. Hrushko S. "Comparative Analysis of Combined Finite State Machine Implementation on Chips of Different Manufacturers" [Text] / S. Hrushko, I. Zeleneva, G. Kirichek, A. Timenko // Problems of infocommunications. Science and technology PIC S&T'2019, Kyiv, Ukraine, October 08-11, 2019. P. 25–28.

#### References

1. Intel documentation. Available at: [www.intel.com/content/www/us/en/products/programmable.html](http://www.intel.com/content/www/us/en/products/programmable.html) (accessed 23.03.2021)
2. Xilinx documentation. Available at: [www.xilinx.com/](http://www.xilinx.com/) (accessed 23.03.2021)
3. Microsemi documentation. Available at: <https://www.microsemi.com/product-directory/1636-fpga-soc> (accessed 23.03.2021)
4. Altera documentation. Available at: [www.altera.com/support/literature/lit-index.html](http://www.altera.com/support/literature/lit-index.html) (accessed 23.03.2021)
5. Churiwala, S. (2017), *Designing with Xilinx® FPGAs using Vivado*, Berlin, 260 p.
6. Bostock G. (2000) *Programmable Logic Handbook*, London, 244 p.
7. Cong, J. (1998) "Technology mapping for FPGAs with embedded memory blocks". *Proceeding FPGA '98 Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays*, Monterey, California, USA, pp. 179–188.
8. Sklyarov, V., Sklyarova I., Barkalov A., Titarenko L. (2014), *Synthesis and Optimization of FPGA – based Systems*. Berlin, 432 p.
9. Barkalov, A., Titarenko L., Kolopienczyk M., Mielcarek K., Bazydlo G. (2016), *Logic Synthesis for FPGA-based Finite State Machines*, New York, 280 p.
10. Hrushko, S. S. (2018), Implementing combined FSM with heterogeneous FPGA, *Proceedings of 14th International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering (TCSET)*, Lviv–Slavske, Ukraine, February 20–24, 270 papers.
11. Baranov, S. (2008), *Logic and System Desing of Digital Systems*, Tallinn, 267 p.
12. Efimenko, N., Zeleneva, I., Hrushko, S., Lukash, D. (2016), Optimization of the configuration control unit for the configuration of the onboard digital computer complex of the spacecraft control system in the FPGA basis, [Optimizaciya skhemy bloka upravleniya konfiguraciej bortovogo cifrovogo vychislitel'nogo kompleksa sistemy upravleniya KA v bazise FPGA] Proc. VIII International Scientific and Practical Conference "Current Problems and Advances in Radio Engineering, Telecommunications and Information Technologies" [Tezy dopovidei VIII Mizhnarodnoi naukovo–praktichnoi konferentsii «Suchasni problemy i dosiahnennia v haluzi radiotekhniki, telekomunikatsii ta informatsiinykh tekhnolohii»]. Zaporizhzhia, pp.137–138.
13. Barkalov A., Titarenko L. (2009), *Logic Synthesis for FSM–Based Control Units*. Berlin, Lectures Notes in Electrical Engineering, №53, 233 p.
14. Barkalov A., Titarenko L., Zeleneva I. (2015), Implementation of a combined FSM in the FPGA basis [Realizaciya sovmeshchennogo mikroprogrammno avtomata v bazise FPGA] *Naukovi pratsi Donetskoho natsionalnoho tekhnichnoho universytetu. Seriya : Informatyka, kibernetyka ta obchysliuvalna tekhnika - Scientific works of Donetsk National Technical University. Series: Informatics, cybernetics and computer engineering*. Donetsk, № 2, pp. 84–88 (In Russian).
15. Barkalov, A., Titarenko, L., Vizer, Y., Matvienko, A. (2017), Reduction of hardware costs in FSM [Umenshenie apparaturnykh zatrat v sovmeschennykh avtomatah] *Kompiuterni zasoby, merezhi ta systemy - Control systems and machines*, № 4, pp. 43–50 (In Russian).
16. Sklyarov, V., Sklyarova, I., Barkalov, A., Titarenko, L. (2014), *Synthesis and Optimization of FPGA-Based Systems*. Springer International Publishing, 432 p. doi: 10.1007/978-3-319-04708-9
17. Micheli, G. (1994), *Synthesis and Optimization of Digital Circuits*, New York, 636 p.
18. Sunggu, L. (2005), *Advanced Digital Logic Design Using VHDL, State Machines, and Synthesis for FPGA's*. LeeThomson-Engineering, 488 pp.
19. Castet, J.-F., Saleh, J. H. (2009), Satellite Reliability: Statistical Data Analysis and Modeling. *Journal of Spacecraft and Rockets*, vol. 46, no. 5.
20. Adamski, M.A. (2005), *Design embedded control systems*, New York, 278 p.
21. Maxfield, C. (2004), *The Design Warrior's Guide to FPGAs*.
22. Barkalov, A., Titarenko, L., Kolopienczyk, M., Mielcarek, K. and Bazydlo, G. (2016) *Logic Synthesis for FPGA-based Finite State Machines, Studies in Systems, Decision and Control*, New York.

23. Kołopieńczyk, M., Titarenko, L., Barkalov, A. (2017) Design of EMB-based Moore FSMs *Journal of Circuits, Systems and Computers*, vol. 26, no. 07, pp. 17–25.
24. Farooq, U. (2012), *Tree-based Heterogeneous FPGA Architectures: Application Specific Exploration and Optimization*, New York.
25. Hrushko, S., Zeleneva, I., Kirichuk, G., Timenko, A. (2019), Comparative Analysis of Combined Finite State Machine Implementation on Chips of Different Manufacturers. *Problems of infocommunications. Science and technology PIC S&T'2019*, Kyiv, pp. 25–28.

## APPROACHES TO USE INTERNAL FPGA AND PROASIC RESOURCES TO IMPROVE THE RELIABILITY OF THE BUILT-IN ARBITRATION MODULE

S. Hrushko, I. Zeleneva, A. Timenko, T. Golub  
Zaporizhzhia Polytechnic National University

**Abstract.** Approaches for solving the urgent scientific and practical problem of increasing the reliability of an onboard digital computer complex, implemented using programmable logic chips as part of the electrical circuit of such complex, are considered. In this computer complex, the specified level of reliability is achieved by means of redundancy. Therefore, the structure of the onboard digital computer is very complicated and requires special control over the switching of backup subsystems, that is, the configuration of the complex. In this article, a structure of a configuration control block as part of an arbitration subsystem is considered. Various approaches to the design of control devices based on programmable logic microcircuits are considered. A model of a combined microprogramming FSM (CFSM) for the implementation of the control unit is proposed. Methods for the implementation of CFSM in FPGA and ProASIC chips are studied, taking into account the general features of their internal architecture. The common thing here is that both microcircuits contain both distributed LUT resources and embedded memory blocks (EMB). FPGA chips are used in this work for experimental research and prototyping projects. The experimental results, as well as the simulation of the obtained circuits on ProASIC, confirm the version that the combined FSM is advisable to use for both types of microcircuits. It is shown that the use of embedded memory blocks in the implementation of the CFSM allows, on the whole, more efficient use of the chip resources. This makes it possible to implement several devices or functional blocks on one chip, and thus improve the reliability of the entire system by reducing the number of chips used and connections between them. This is especially true for projects carried out on expensive ProASIC microcircuits with a high degree of radiation protection. This is the scientific and practical value of these studies. Promising areas of research are associated with the use of CFSM circuits on counters, as well as with the use of free triggers in distributed resources for organizing counters. This will serve for further development in the direction of efficient use of the resources of programmable logic chips.

**Keywords:** combined FSM, graph-scheme of the algorithm, FPGA, ProASIC, embedded memory blocks, on-board digital computer complex.

## СПОСОБЫ ИСПОЛЬЗОВАНИЯ ВНУТРЕННИХ РЕСУРСОВ FPGA И PROASIC ДЛЯ ПОВЫШЕНИЯ НАДЕЖНОСТИ ВСТРОЕННОГО МОДУЛЯ АРБИТРАЖА

С. С. Грушко, И. Я. Зеленева, А. В. Тименко, Т. В. Голуб  
Национальный университет «Запорожская политехника»

**Аннотация.** Рассмотрены способы решения актуальной научно-практической задачи повышения показателей надежности бортового цифрового вычислительного комплекса, реализованного с использованием микросхем программируемой логики. В частности, рассмотрена схема блока управления конфигурацией в составе подсистемы арбитража. Предложена модель совмещенного микропрограммного автомата (СМПА) для реализации блока управления. Исследованы способы имплементации СМПА в микросхемах FPGA и ProASIC, с учетом особенностей их внутренней архитектуры. Показано, что использование блоков встроенной памяти при имплементации СМПА позволяет в целом более эффективно использовать ресурсы кристалла.

**Ключевые слова:** совмещенный микропрограммный автомат, граф-схема алгоритма, FPGA, ProASIC, блоки встроенной памяти, бортовой цифровой вычислительный комплекс.

Отримано 01.04.2021



**Грушко Світлана Сергіївна**, Національний університет «Запорізька політехніка», кандидат технічних наук, доцент кафедри комп'ютерних систем та мереж. Вул. Жуковського, 64, Запоріжжя, Україна, E-mail: grushko\_ss@i.ua, тел. +38-061-769-82-49

**Svitlana Hrushko**, Zaporizhzhia Polytechnic National University, PhD, assistant professor of the Department of Computer Systems and Networks, Zhukovskiy street, 64, Zaporizhzhya, Ukraine, E-mail: grushko\_ss@i.ua, tel. +38-061-769-82-49

**ORCID ID:** 0000-0002-0064-408X



**Зеленьова Ірина Яківна**, Національний університет «Запорізька політехніка», кандидат технічних наук, доцент кафедри комп'ютерних систем та мереж. Вул. Жуковського, 64, Запоріжжя, Україна, E-mail: irina.zeleneva@gmail.com, тел. +38-061-769-82-49

**Irina Zeleneva**, Zaporizhzhia Polytechnic National University, PhD, assistant professor of the Department of Computer Systems and Networks, Zhukovskiy street, 64, Zaporizhzhya, Ukraine, E-mail: irina.zeleneva@gmail.com, tel. +38-061-769-82-49

**ORCID ID:** 0000-0002-4042-4540



**Тіменко Артур Валентинович**, Національний університет «Запорізька політехніка», асистент кафедри комп'ютерних систем та мереж. Вул. Жуковського, 64, Запоріжжя, Україна, E-mail: timenko.artur@gmail.com, тел. +38-061-769-82-49

**Artur Timenko**, Zaporizhzhia Polytechnic National University, assistant of the Department of Computer Systems and Networks, Zhukovskiy street, 64, Zaporizhzhya, Ukraine, E-mail: timenko.artur@gmail.com, tel. +38-061-769-82-49

**ORCID ID:** 0000-0002-7871-4543



**Голуб Тетяна Василівна**, Національний університет «Запорізька політехніка», кандидат технічних наук, ст. викладач кафедри комп'ютерних систем та мереж. Вул. Жуковського, 64, Запоріжжя, Україна, E-mail: golub.tv6@gmail.com, тел. +38-061-769-82-49

**Golub Tetiana**, Zaporizhzhia Polytechnic National University, PhD, senior lecturer of the Department of Computer Systems and Networks, Zhukovskiy street, 64, Zaporizhzhya, Ukraine, E-mail: golub.tv6@gmail.com, tel. +38-061-769-82-49

**ORCID ID:** 0000-0001-6024-008X